

CISPR25 Class5要件、AM / FM / 地デジ帯域 ノイズ低減を考慮したDC/DCコンバータ設計

合屋 俊介

FAEマネージャー

MPSジャパン

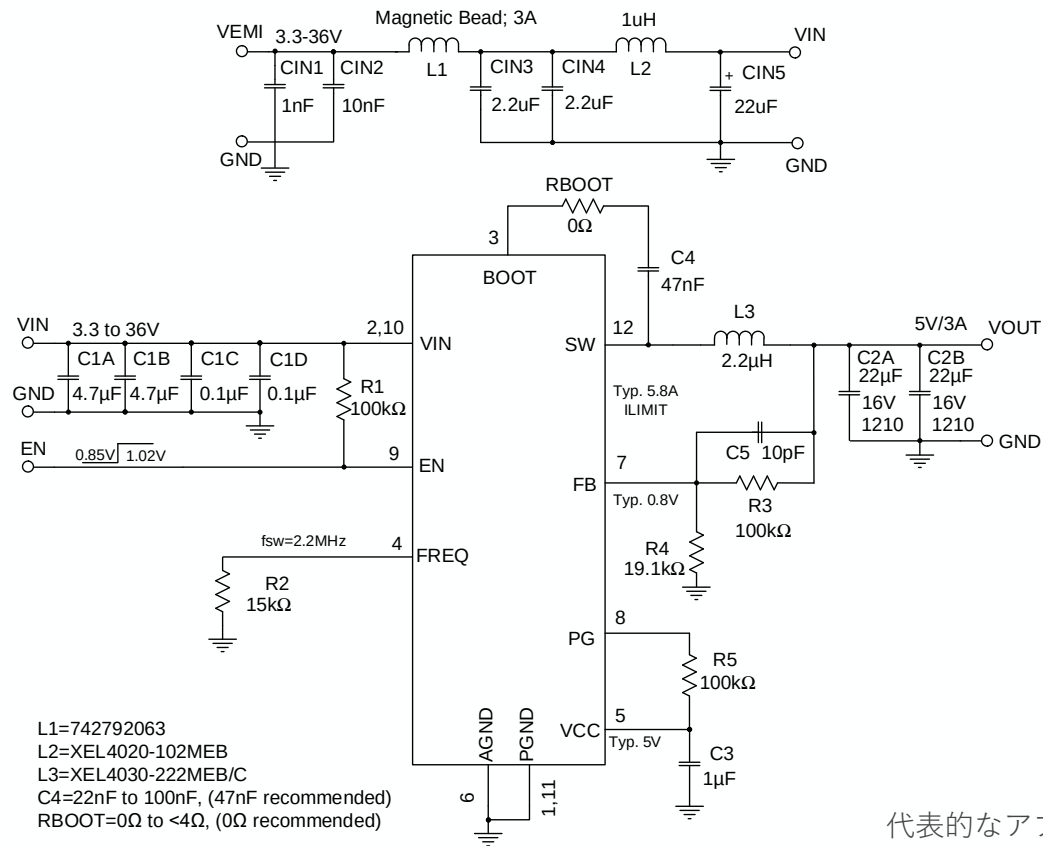
アジェンダ

1. DC/DCコンバータのノイズ源
2. DC/DCコンバータのノイズ低減手法
 - 2-1. Flip Chip内部構造
 - 2-2. シンメトリックVINピン配置
 - 2-3. 入力ホットループの削減
 - 2-4. 入力フィルタ設計
 - 2-5. スイッチングノイズの振幅低減・帯域改善

付録: 地デジ帯ノイズ対策

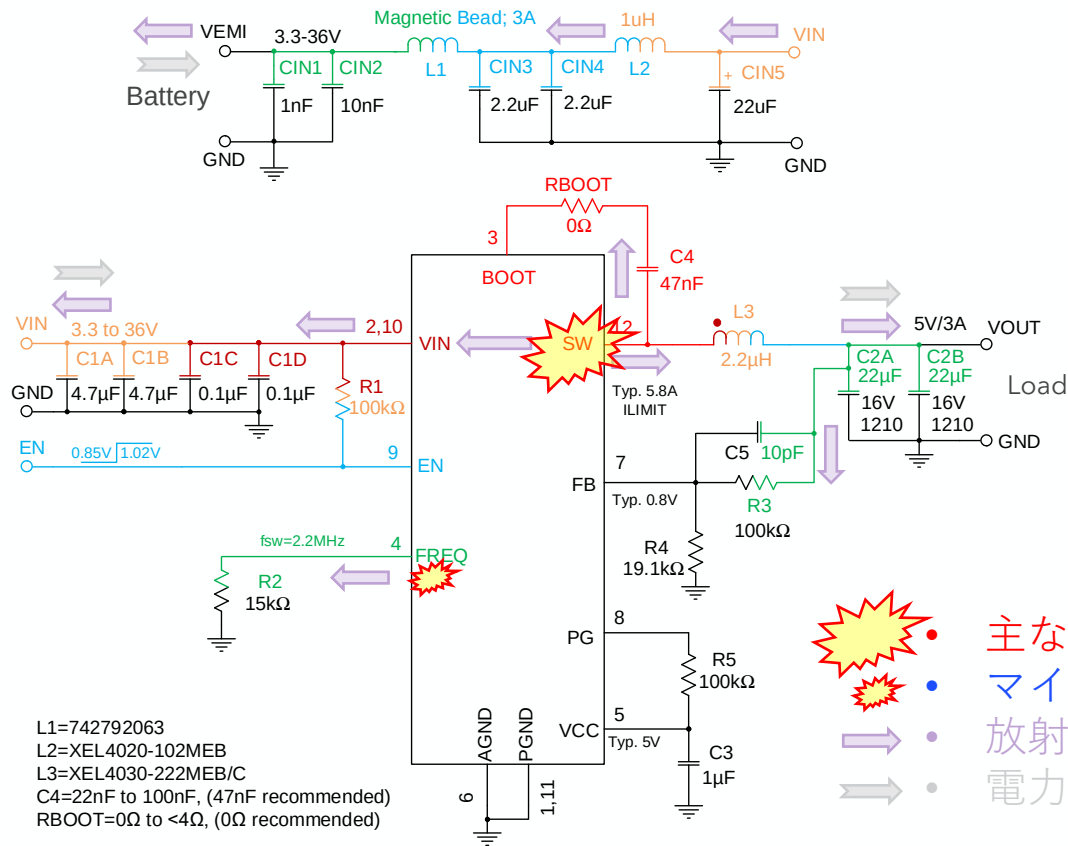
DC/DCコンバータのノイズ源

DC/DCコンバータの基本回路



代表的なアプリケーション回路
(VOUT = 5V, $f_{sw} = 2.2\text{MHz}$ 、EMIフィルタ付き)

DC/DCコンバータのノイズ源を理解する

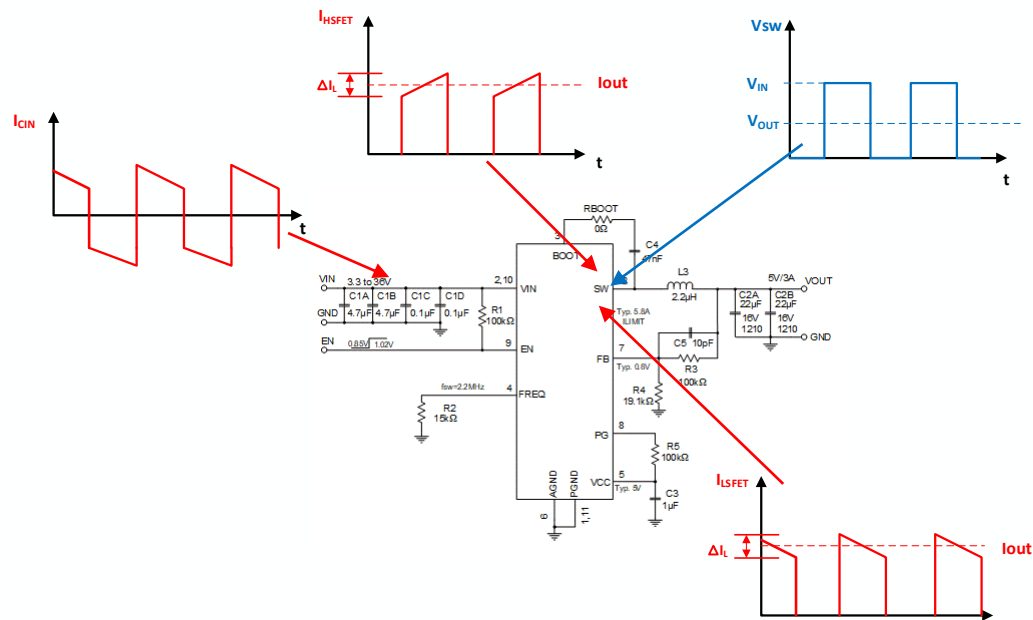


ノイズ放射順位

1	大
2	
3	
4	
5	
6	小

DC/DCコンバータのノイズ放射源

- SWノード → dv/dt
- VINホットループ → di/dt
- SWノード → VINに影響
- VIN → 入力フィルタに影響



✓ SWノードの電圧波形分析

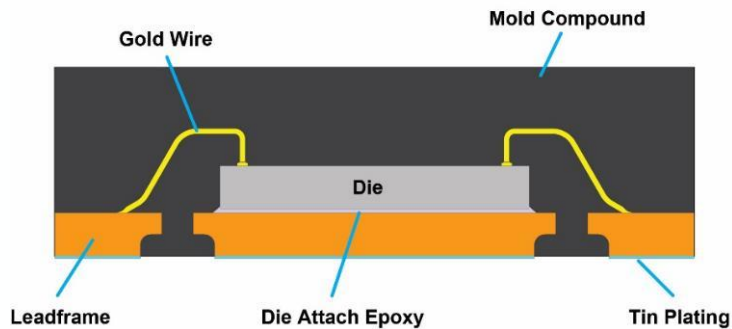
✓ 入力回路設計

DC/DCコンバータのノイズ低減手法

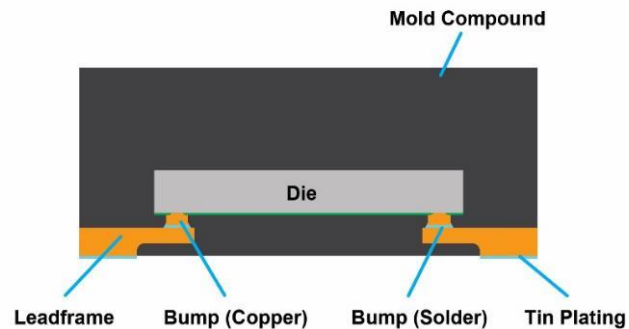
--- Flip Chip内部構造 ---

Wire Bond vs Flip Chip

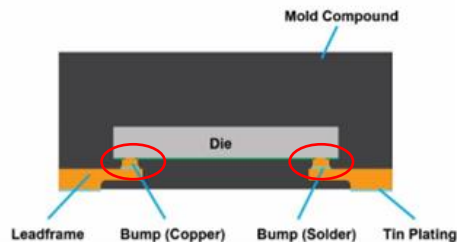
Legacy Wire Bond



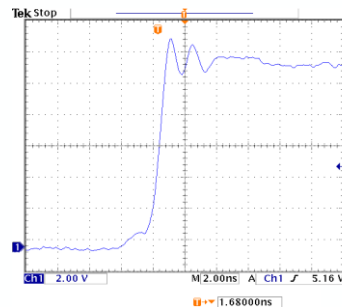
MPS Mesh Connect™ (Flip Chip)



寄生インダクタンスの影響



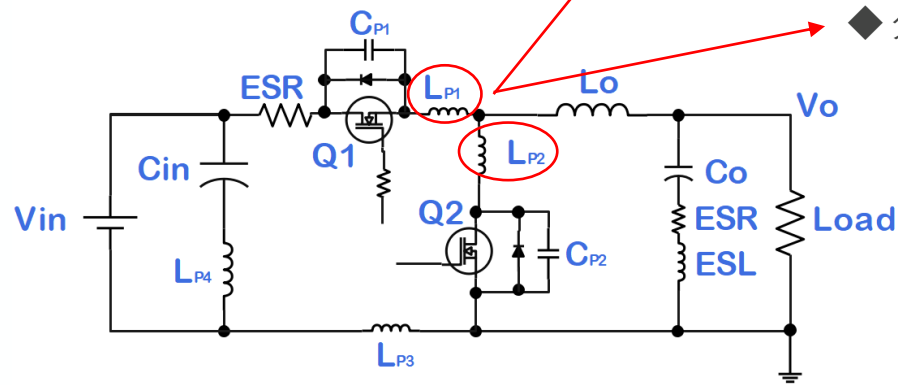
◆ターンオン



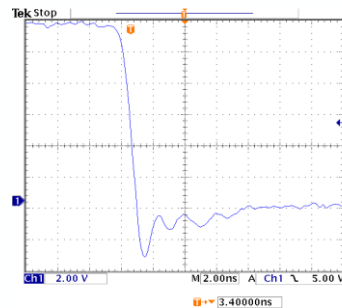
$$P_{turn_on} = \frac{1}{2} \times L_P \times I_{PR}^2$$

$$f_{turn_on} = \frac{1}{2\pi\sqrt{L_P \times C_{P2}}}$$

$$L_P = L_{P1} + L_{P2} + L_{P3} + L_{P4}$$



◆ターンオフ



$$P_{turn_off} = \frac{1}{2} \times L_P' \times I_P^2$$

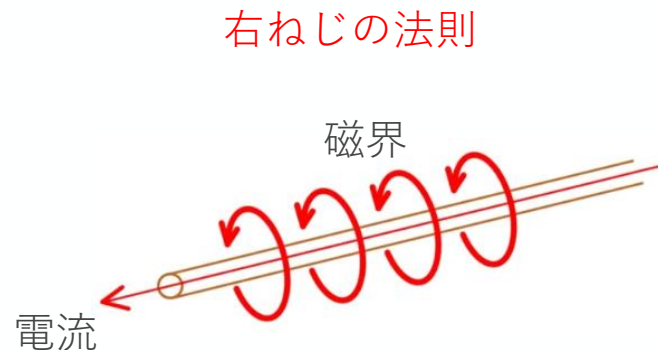
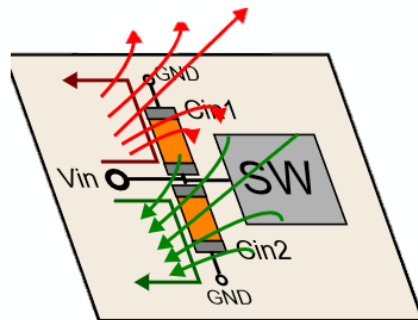
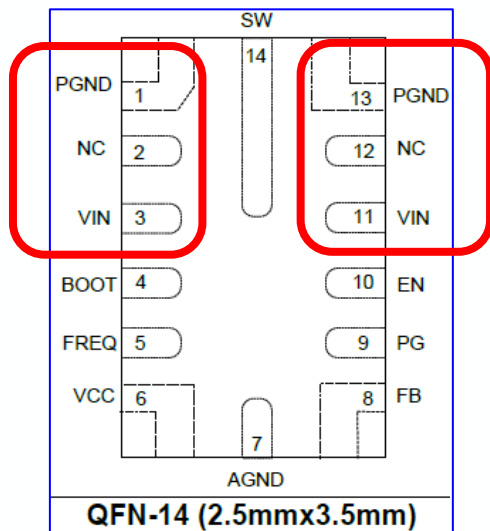
$$f_{turn_off} = \frac{1}{2\pi\sqrt{L_P' \times C_{P1}}}$$

$$L_P' = L_{P1} + L_{P2}$$

DC/DCコンバータのノイズ低減手法

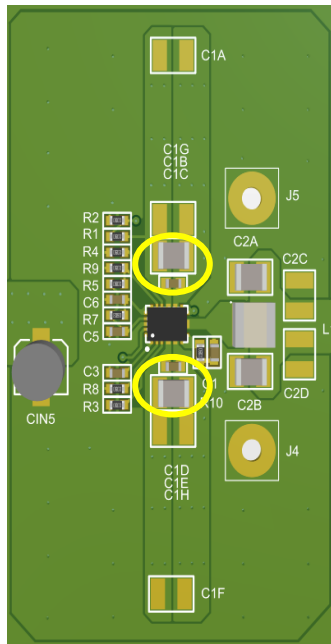
--- シンメトリックVINピン配置 ---

ノイズ相殺 シンメトリックVINピン配置

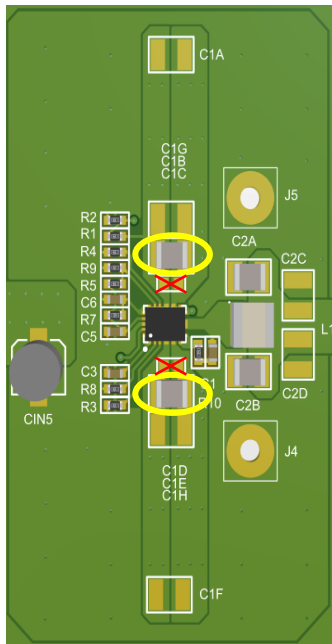


✓ VINラインに流れた電流によって発生する磁界を相殺するピン配置

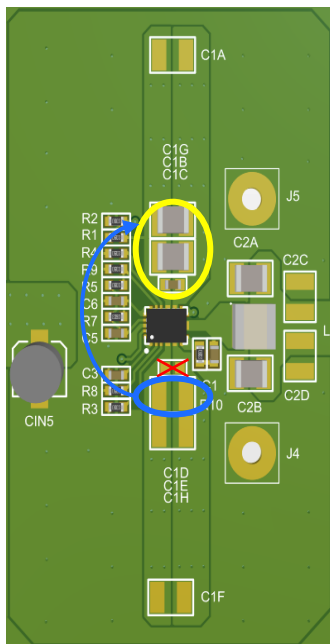
VINコンデンサ配置によるノイズ比較(1)



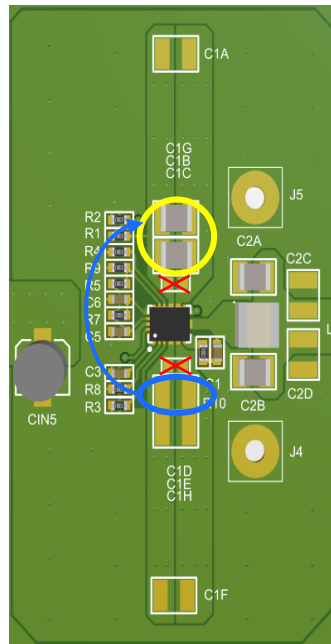
Symmetric "Cin
& HF cap"



Symmetric Cin
w/o HF cap



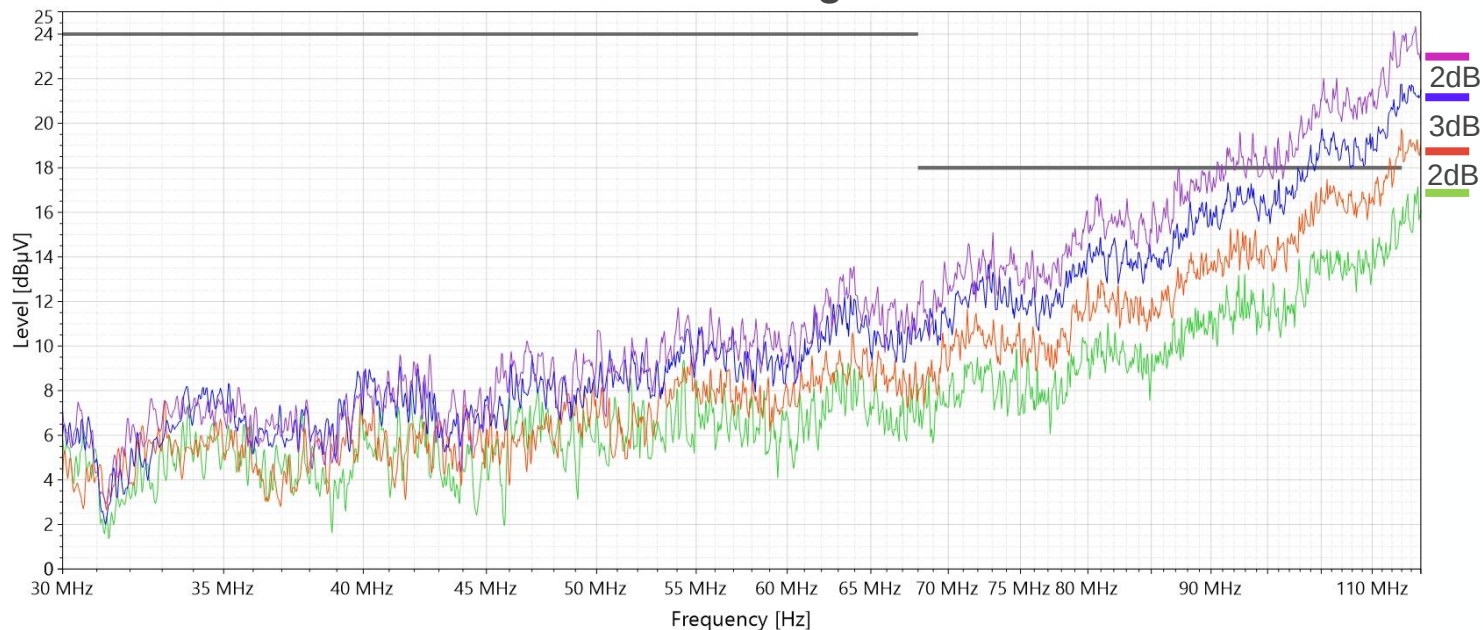
Non-symmetric Cin
and w/ HF cap



Non-symmetric Cin
w/o HF cap

VINコンデンサ配置によるノイズ比較(2)

CISPR25 Class 5: CE Average measurements



Asymmetric Cin w/o 100nF

Asymmetric Cin w/ 100nF

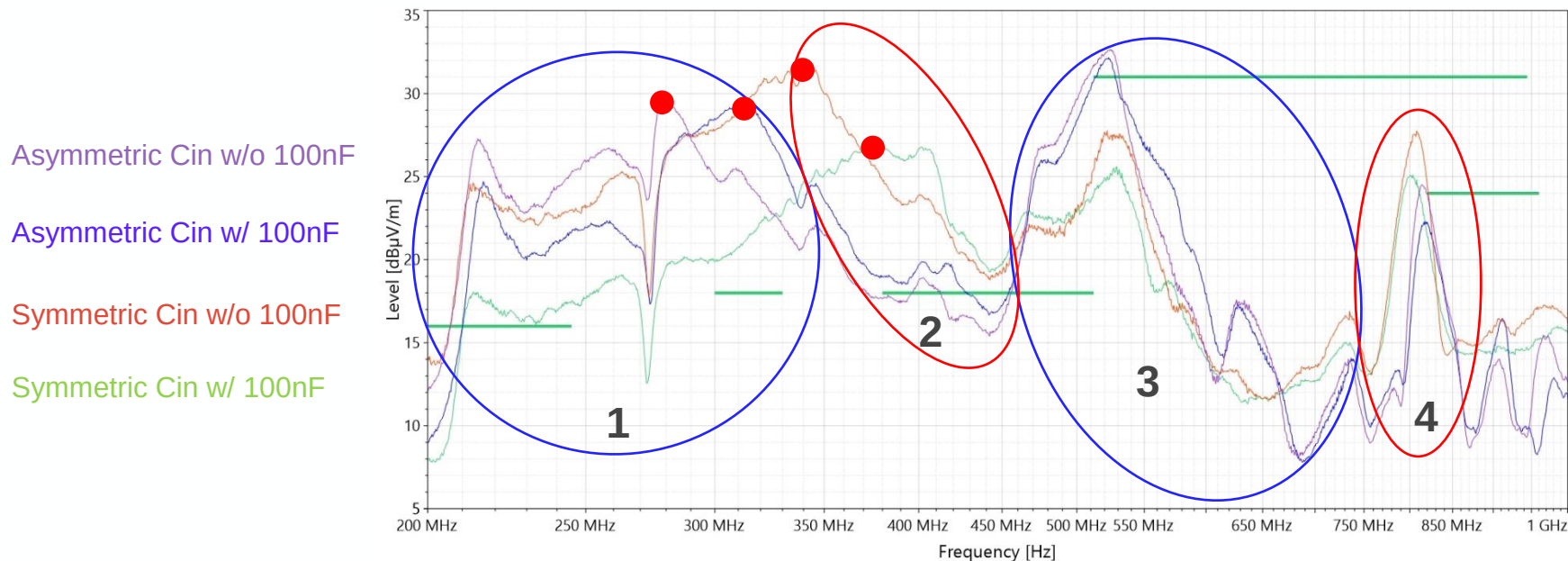
Symmetric Cin w/o 100nF

Symmetric Cin w/ 100nF

✓ シンメトリックCIN配置はFM帯域(76.1MHz-90MHz)のノイズ低減に効果的！！

VINコンデンサ配置によるノイズ比較(3)

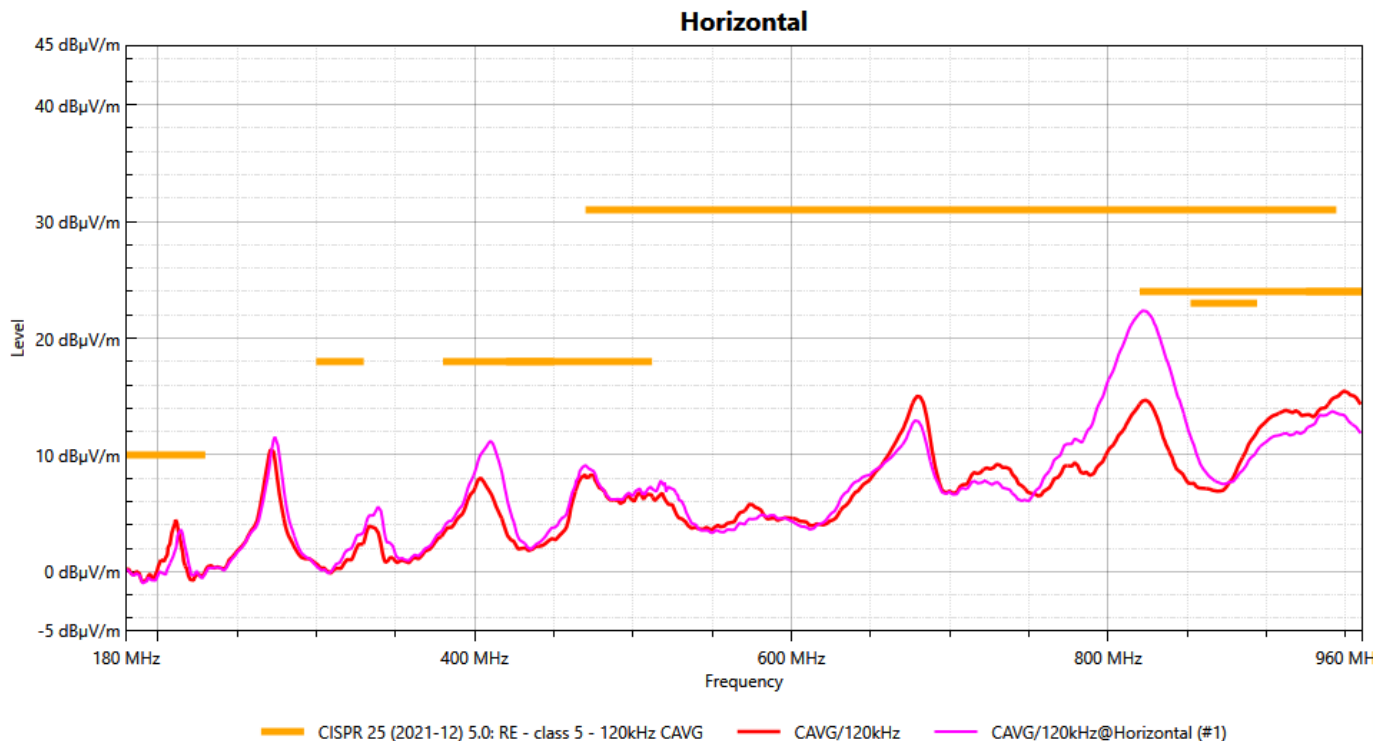
CISPR25 Class 5: RE Log Average measurements (Vertical)



- ✓ シンメトリックCIN配置は1,3 帯域でノイズ低減に効果的：～8dB
- ✓ 100nFのパコンはノイズ低減に効果的

- ✓ シンメトリックCIN配置は2 帯域(～8dB)、4 帯域(～3dB)でノイズ増大
→ 寄生インダクタンス低減によりリングング周波数が高い周波数に移動したため

ノイズ比較: VINパターン配線



VIN: TOP層露出

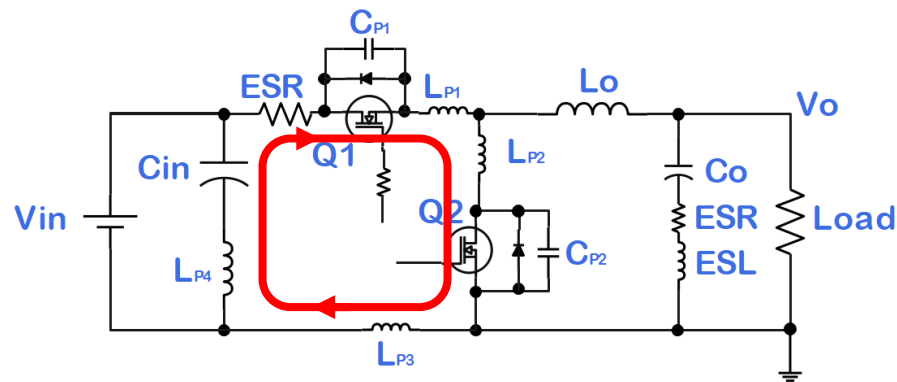
VIN: 内層配線

✓ VINパターンをTOP層に露出するとノイズ放射増加

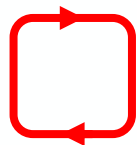
DC/DCコンバータのノイズ低減手法

--- 入力ホットループの削減 ---

入力ホットループ



入力ホットループ



の寄生インダクタンス、寄生容量

ノイズ振幅

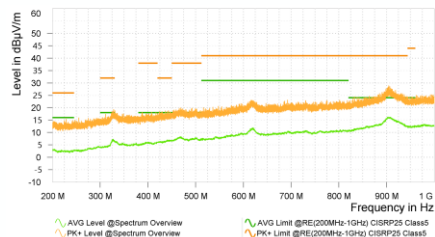
ノイズ帯域

入力ホットループによるノイズ比較(1)

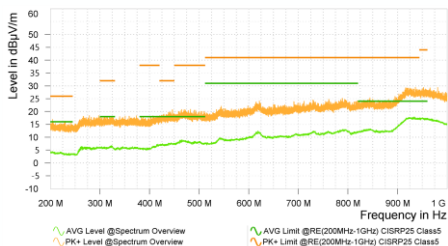
◆CIN移動(IC直近)



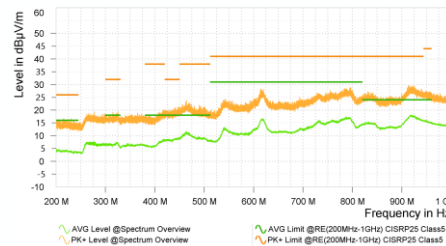
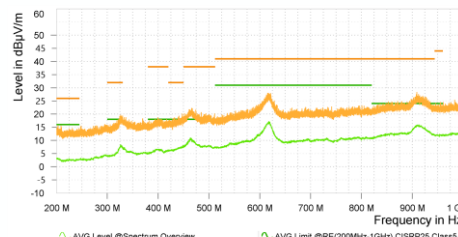
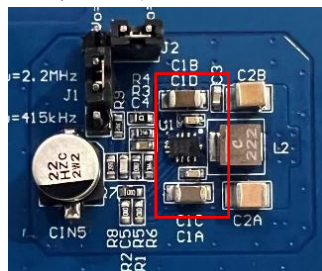
Radiated Emission
(Horizontal)



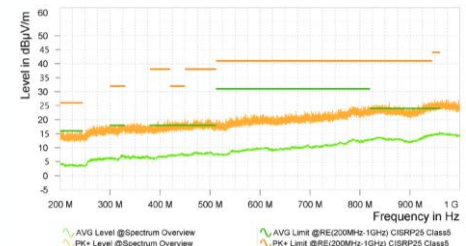
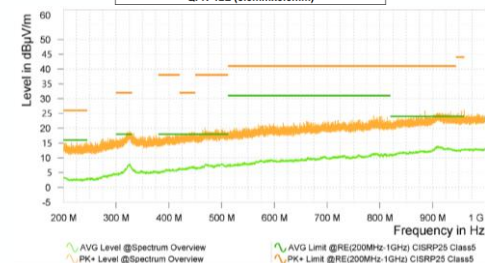
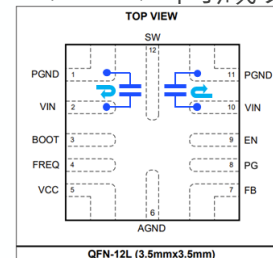
Radiated Emission
(Vertical)



◆オリジナル



◆同シリーズ 入力パスコン内蔵タイプ



入力ホットループによるノイズ比較(2)

◆オリジナル

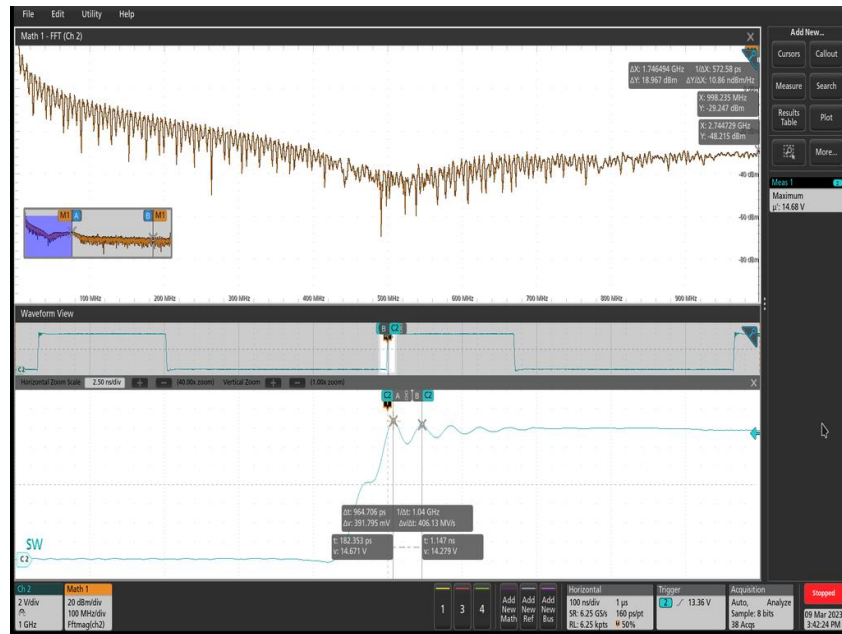
- $f_{\text{turn_on}}=755\text{MHz}$
- $V_{\text{sw_peak}}=15.3\text{V}$



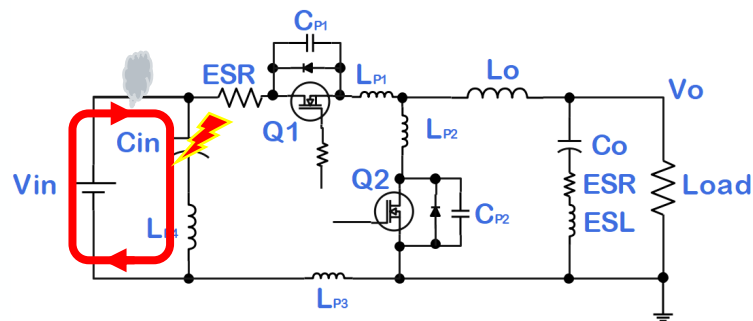
◆同シリーズ

入力パソコン内蔵タイプ

- $f_{\text{turn_on}}=1.04\text{GHz}$
- $V_{\text{sw_peak}}=14.7\text{V}$



MLCC故障モード対策の落とし穴

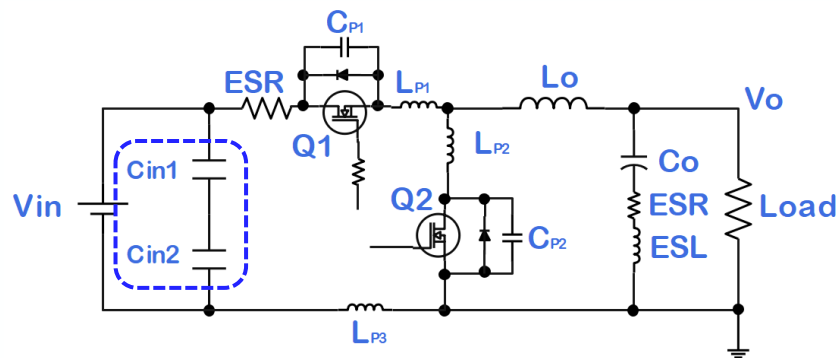


✓ 機械的ストレス(基板たわみ)

✓ MLCCクラック

✓ ショートモード故障

✓ パターン断線、発煙、発火



✓ フェールセーフ対応のため2個直列配置

✓ 入力ホットループ増大

✓ ノイズ特性悪化

(参考)・樹脂電極MLCC

・金属端子付きMLCC

・入力保護IC

DC/DCコンバータのノイズ低減手法

--- 入力フィルタ設計 ---

CISPR25 テスト

■ Radiated Emission(放射性)



150kHz-30MHz
Antenna: VAMP9243
(アクティブプローブ)



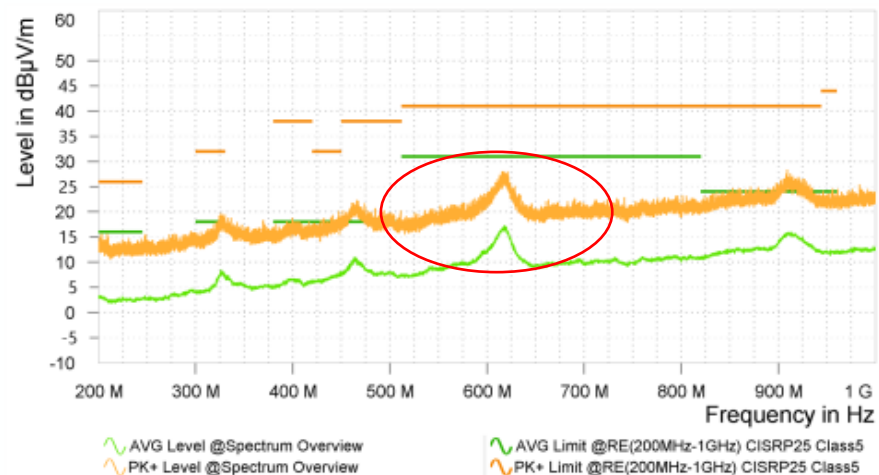
30MHz-200MHz
Antenna: VHBB9124
(バイコニカルエレメント)



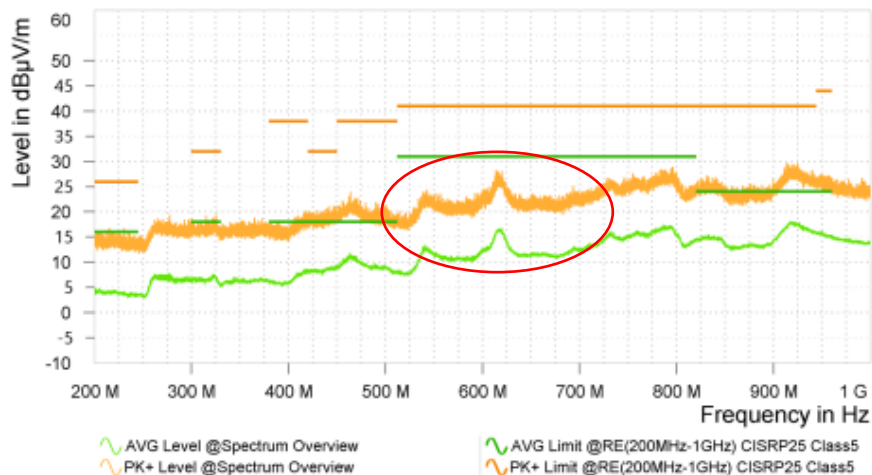
200MHz-1GHz
Antenna: VUSLP9111B
(ログペリアンテナ)

CISPR25 テスト結果

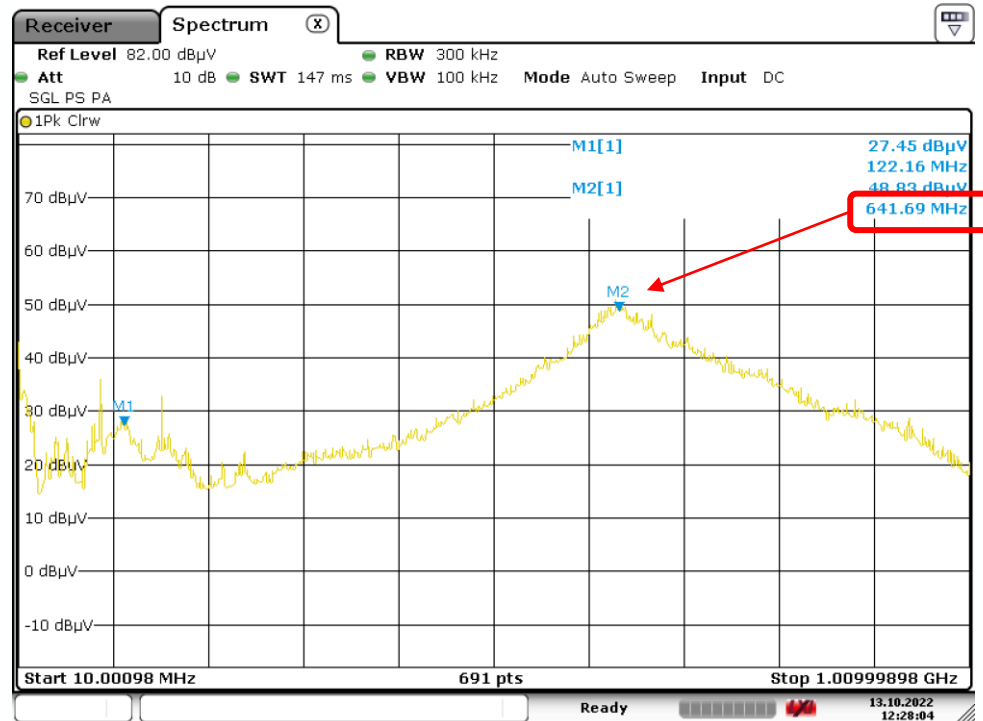
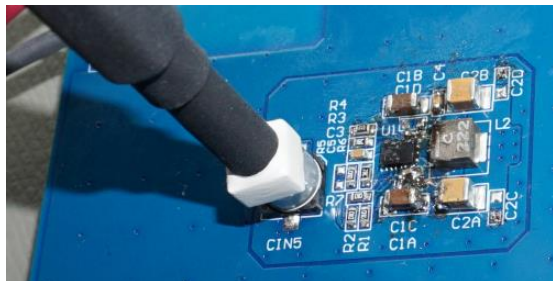
Radiated Emission
200MHz-1GHz
(Horizontal)



Radiated Emission
200MHz-1GHz
(Vertical)



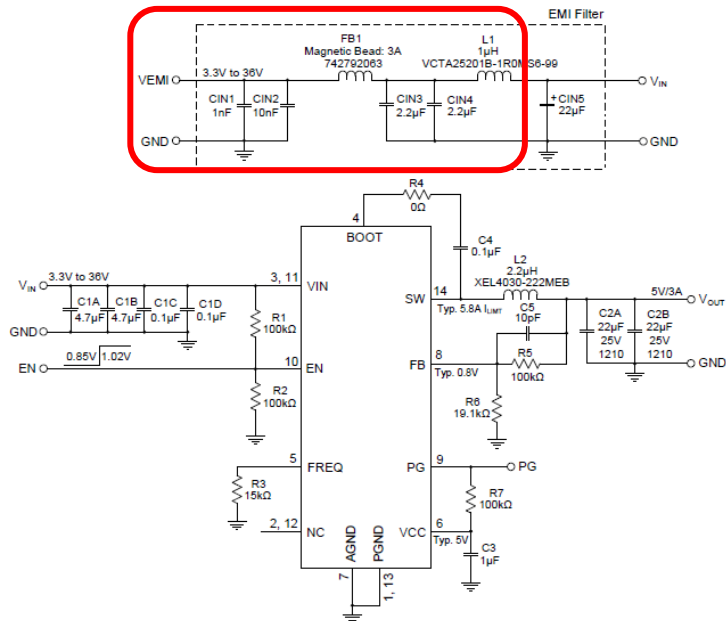
ノイズ源解析



Date: 13.OCT.2022 12:28:04

測定基板ボード調査

EVALUATION BOARD SCHEMATIC



PCB LAYOUT

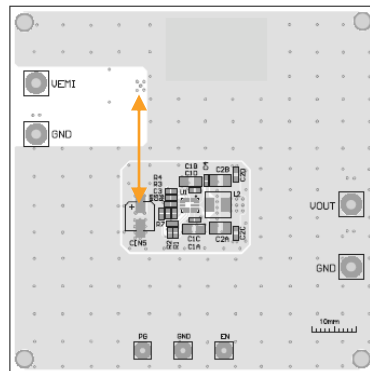


Figure 4: Top Silk and Top Layer

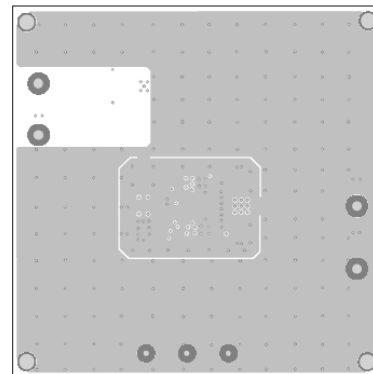


Figure 5: Mid-Layer 1

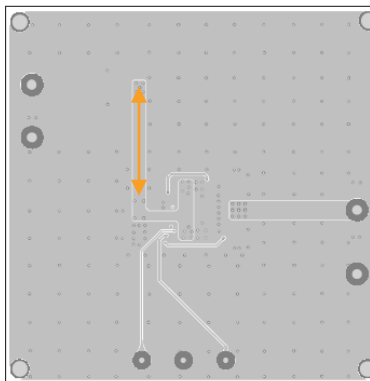


Figure 6: Mid-Layer 2

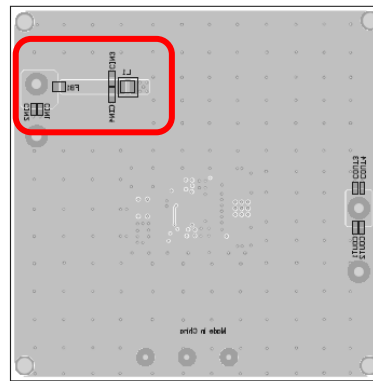
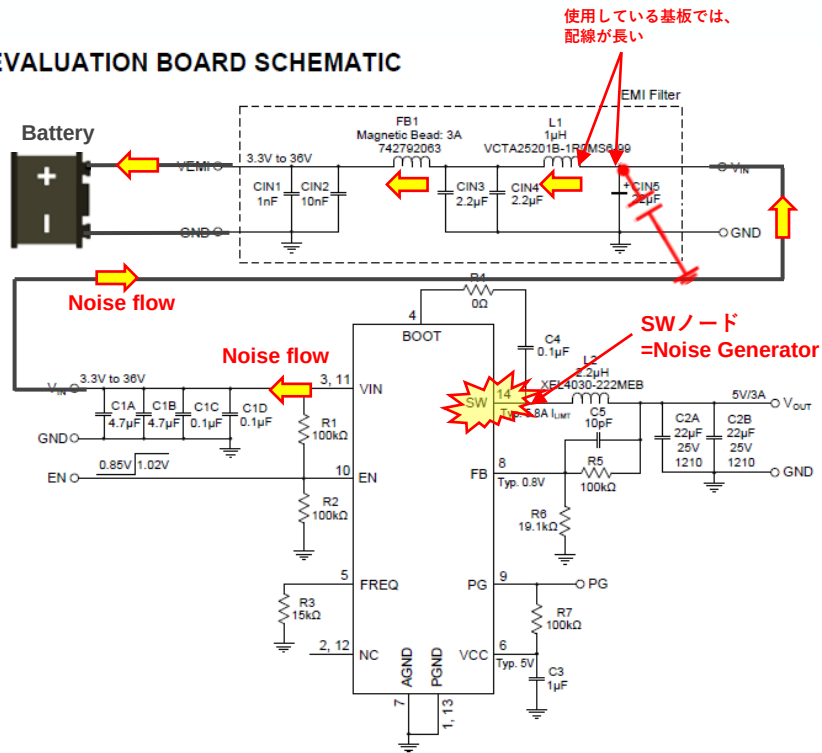


Figure 7: Bottom Layer and Bottom Silk

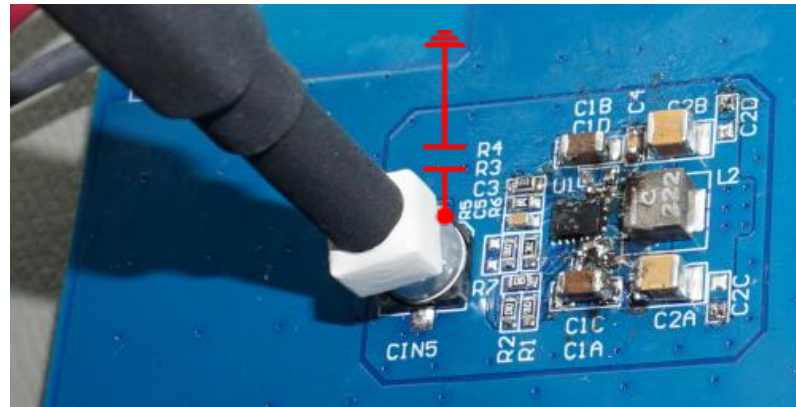
スイッチングノイズフロー

EVALUATION BOARD SCHEMATIC

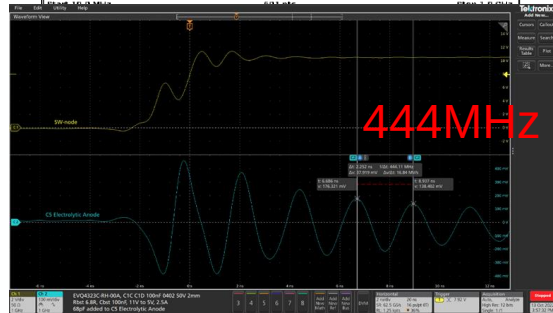
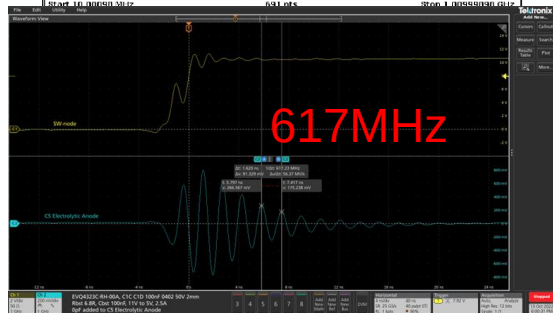
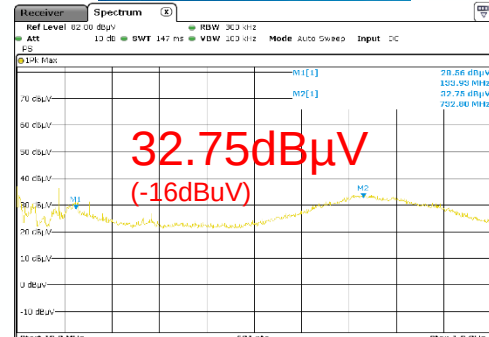
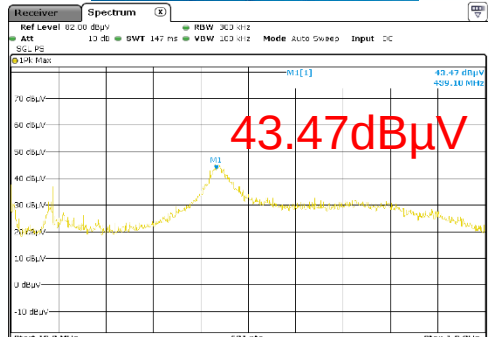
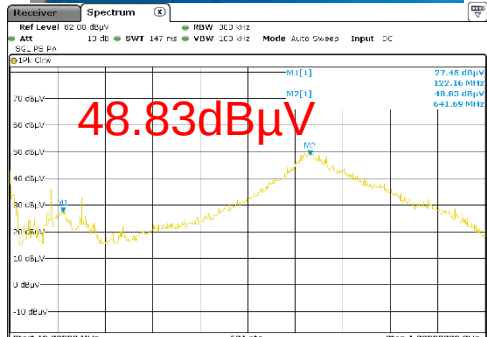
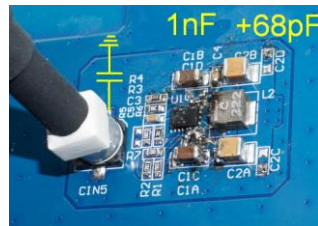
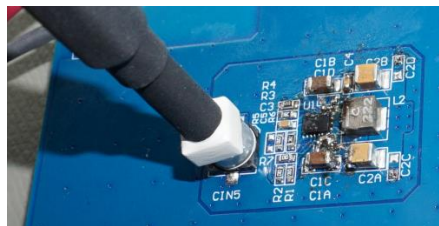


✓HFノイズを減衰させるMLCCが不十分

✓長いVINパターンと電界コンデンサがノイズを放出する疑似アンテナ化

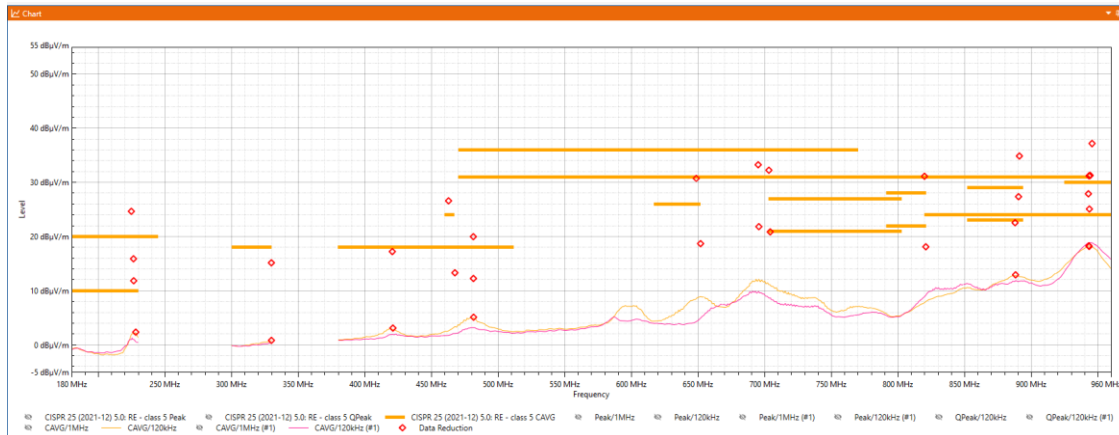


ノイズ解析: HFノイズ対策



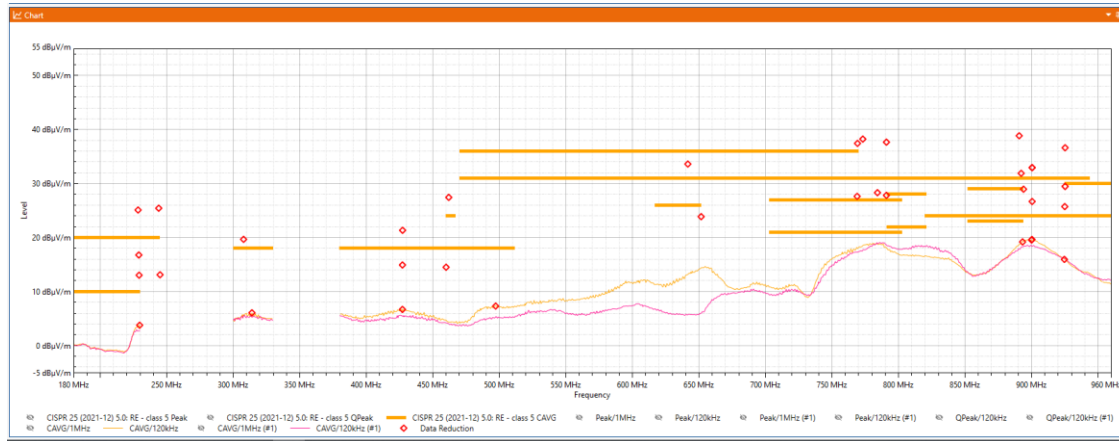
CISPR25テスト結果: HFノイズ対策

Radiated Emission
200MHz-1GHz
(Horizontal)



— w/o 1nF+68pF

Radiated Emission
200MHz-1GHz
(Vertical)

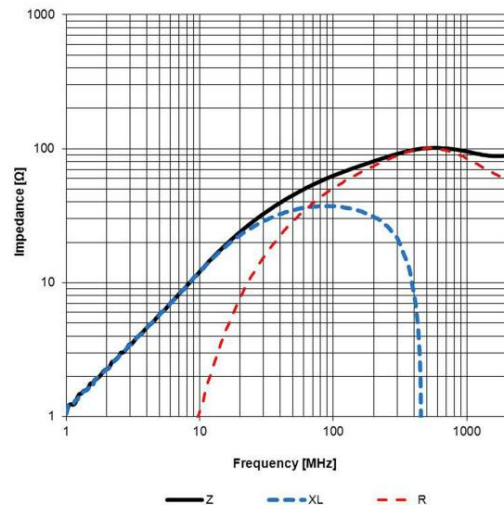


— w/ 1nF+68pF

高周波ノイズ低減に効果的なチップビーズ

チップビーズとは？

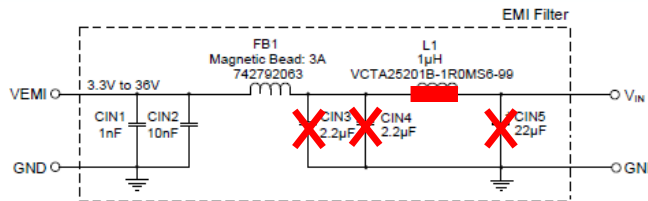
周波数が高くなるほど、インピーダンスが高くなる部品



[出展]WE 742792063

✓ 高周波帯域のノイズ対策に効果的！！

CISPR25テスト結果: チップビーズ対策

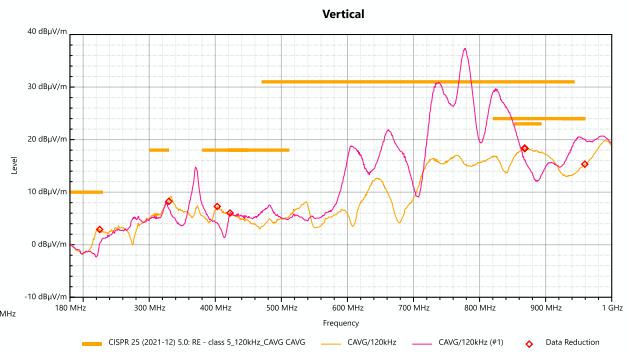
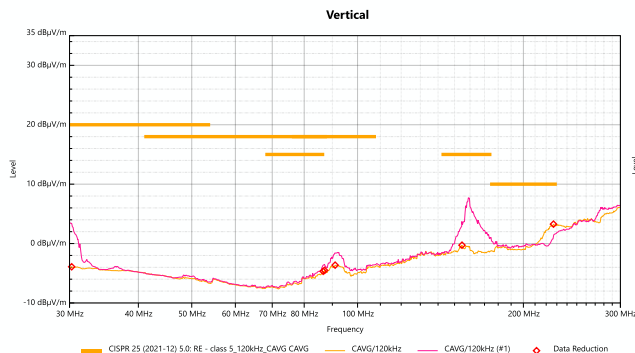
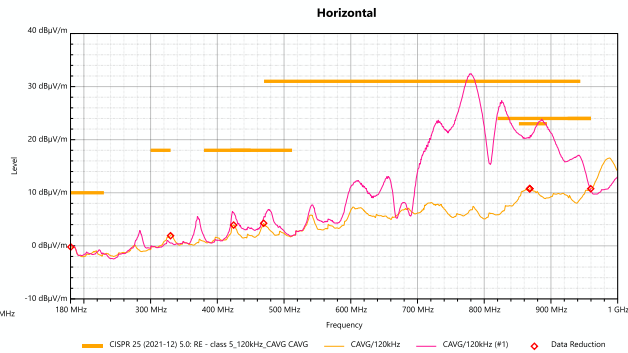
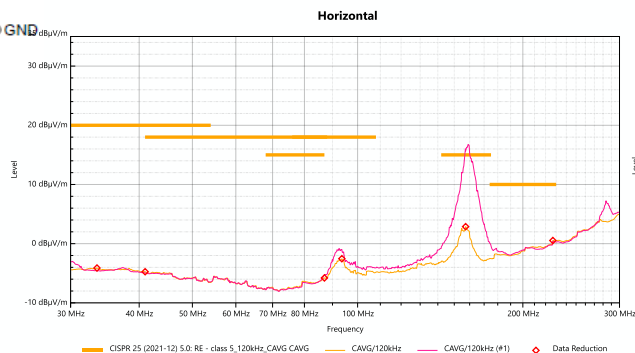


Red= w/o FB1

Orange= w/ FB1

※他、共通

- ✓ 最適なチップビーズ選定によりターゲットの周波数帯域のノイズを低減可能



DC/DCコンバータのノイズ低減手法

--- スイッチングノイズの
振幅低減・帯域改善 ---

R_{BOOT}はノイズ低減に効果的？

R_{BOOT}はノイズ低減に本当に効果的なのか？

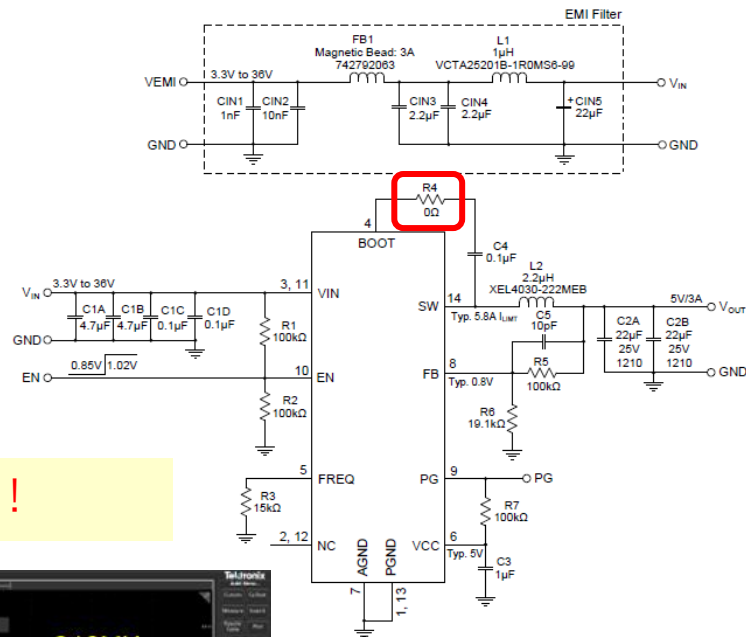
✓ 立上り・立下りピーク電圧は減少

✓ 共振振幅が大きくなるケースがある

✓ 効率低下

✓ High/Low FET 同時オンによる貫通電流に注意！！

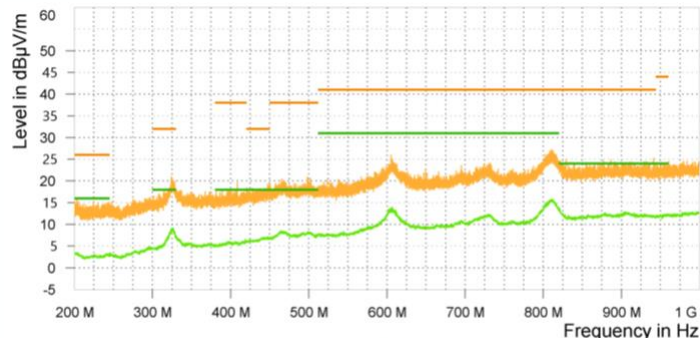
EVALUATION BOARD SCHEMATIC



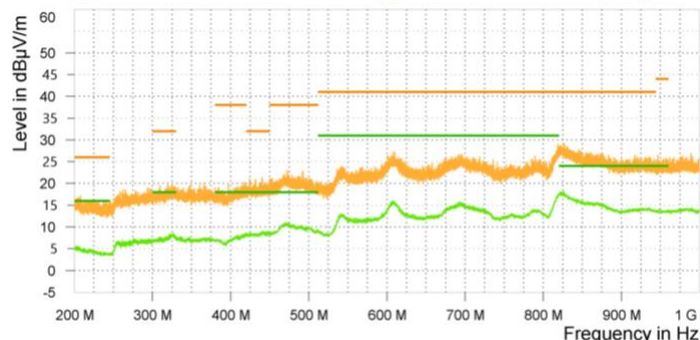
CISPR25テスト結果: R_{BOOT}追加

R_{BOOT}=0Ω

Radiated Emission
200MHz-1GHz
(Horizontal)



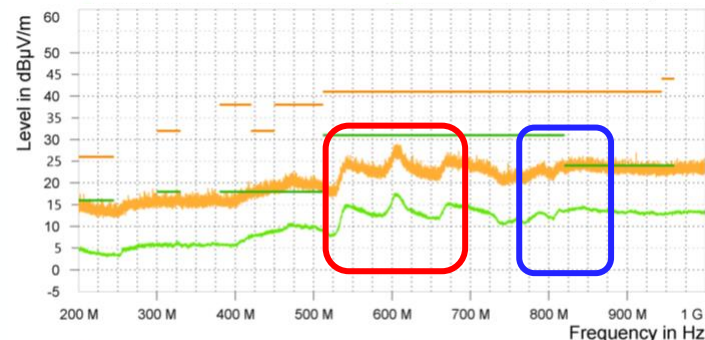
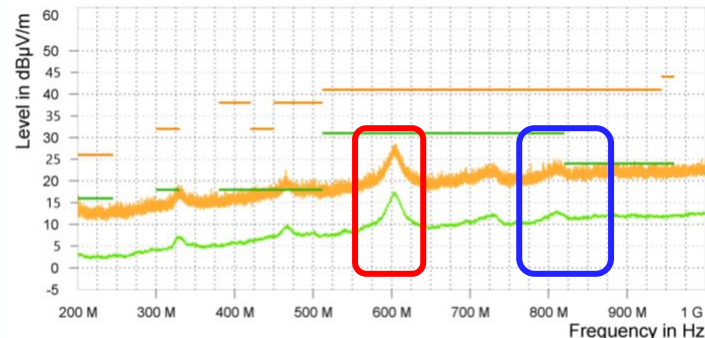
Radiated Emission
200MHz-1GHz
(Vertical)



AVG Level @Spectrum Overview
PK+ Level @Spectrum Overview

AVG Limit @RE(200MHz-1GHz) CISRP25 Class5
PK+ Limit @RE(200MHz-1GHz) CISRP25 Class5

R_{BOOT}=10Ω



AVG Level @Spectrum Overview
PK+ Level @Spectrum Overview

AVG Limit @RE(200MHz-1GHz) CISRP25 Class5
PK+ Limit @RE(200MHz-1GHz) CISRP25 Class5

注) R_{BOOT}のノイズ低減効果は、ICのスルーレート、寄生L、寄生Cで効果が異なります

SW立上りスルーレート

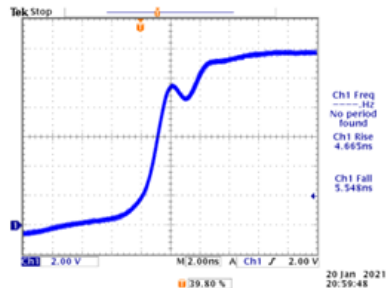
Rising slew rate is 1V/ns



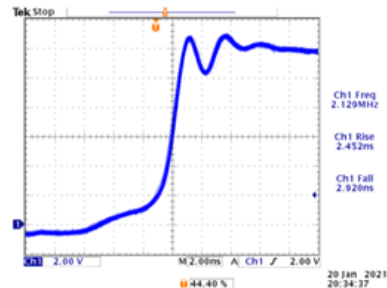
Rising slew rate is 2V/ns



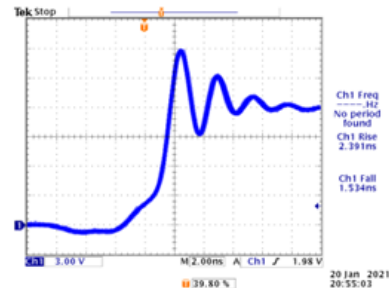
Rising slew rate is 4V/ns



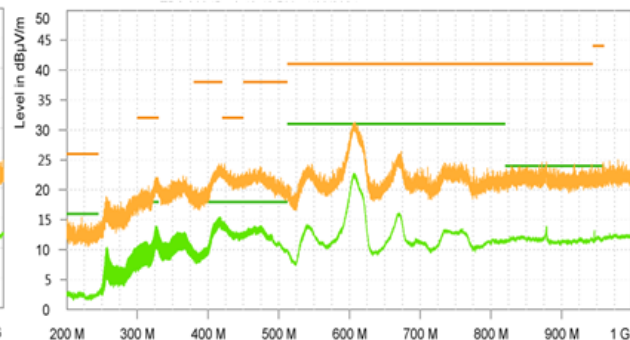
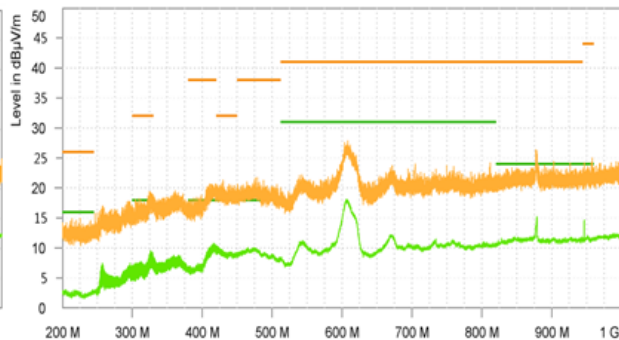
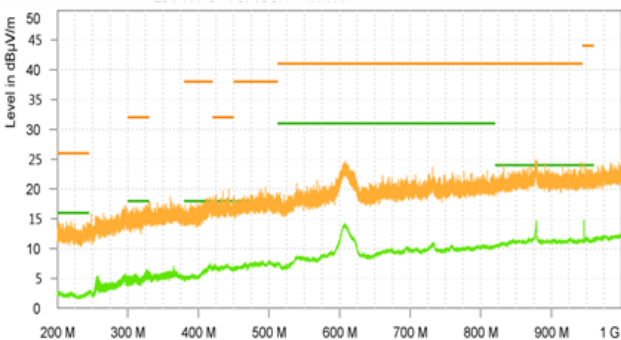
SW立上り時間
4.67ns



SW立上り時間
2.45ns



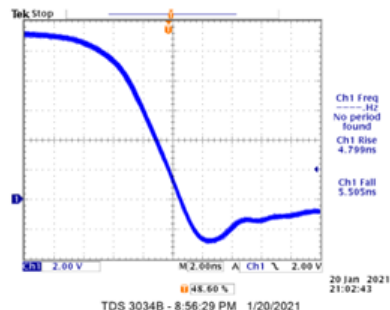
SW立上り時間
1.53ns



✓高速なSW立上りスルーレートはノイズ性能が悪化

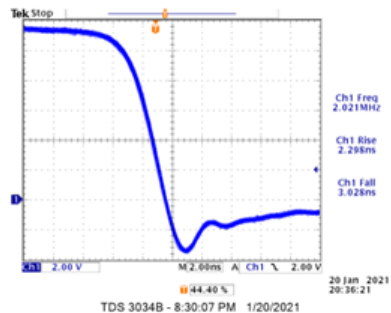
SW立下りスルーレート

Falling slew rate is 1V/ns



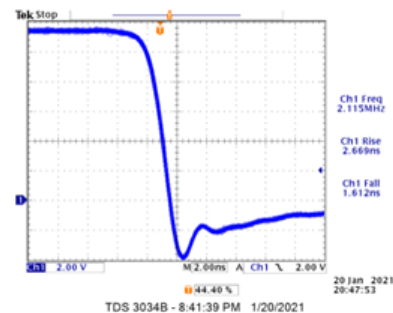
SW 立下り時間
5.51ns

Falling slew rate is 2V/ns

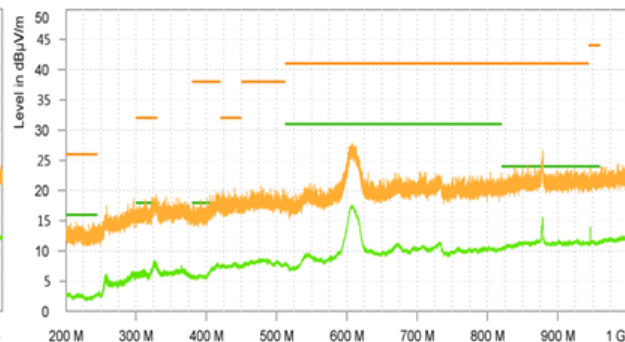
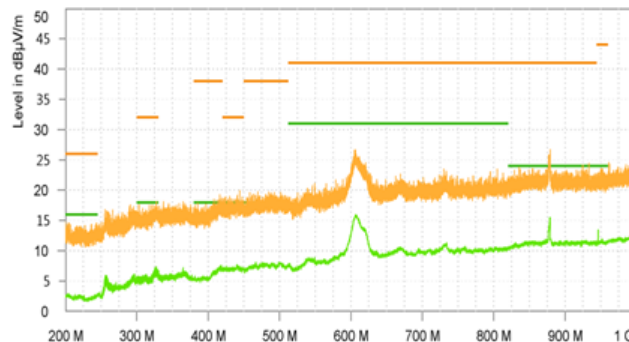
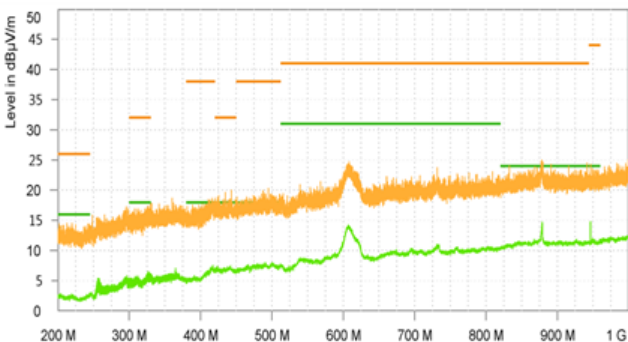


SW 立下り時間
3.03ns

Falling slew rate is 4V/ns

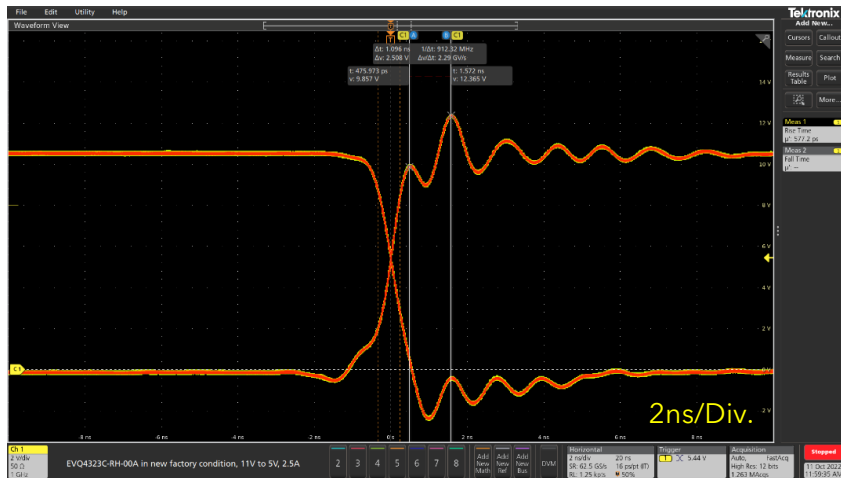


SW 立下り時間
1.61ns



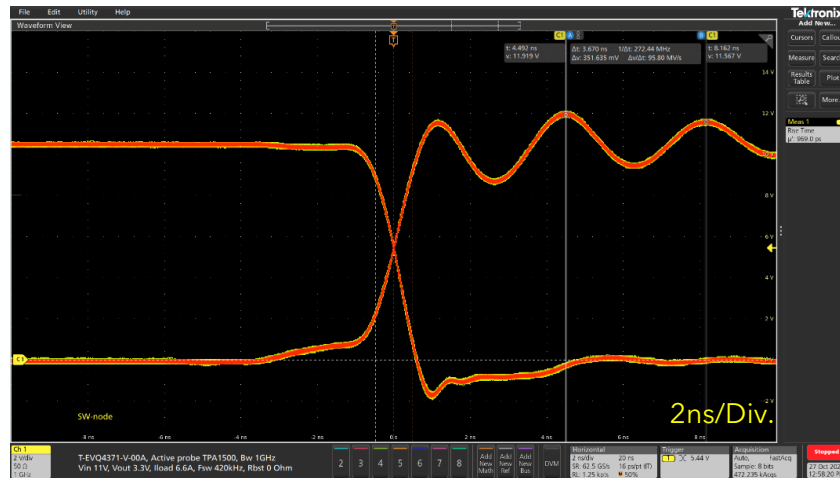
✓ 高速なSW立下りスルーレートはノイズ性能が悪化

MPSゲートドライブテクノロジー: Quiet-FET™



w/o Quiet-FET™ ゲートドライブ
11V to 5V, 2.5A, SSFM, 2.2MHz

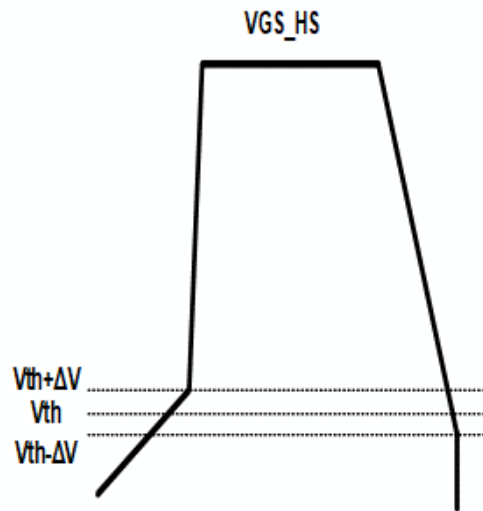
- $R_{BST}=0\Omega$
- Risetime 577ps
- Ringing frequency 800-900MHz



w/ Quiet-FET™ ゲートドライブ
11V to 3.3V, 6.6A, SSFM, 2.2MHz

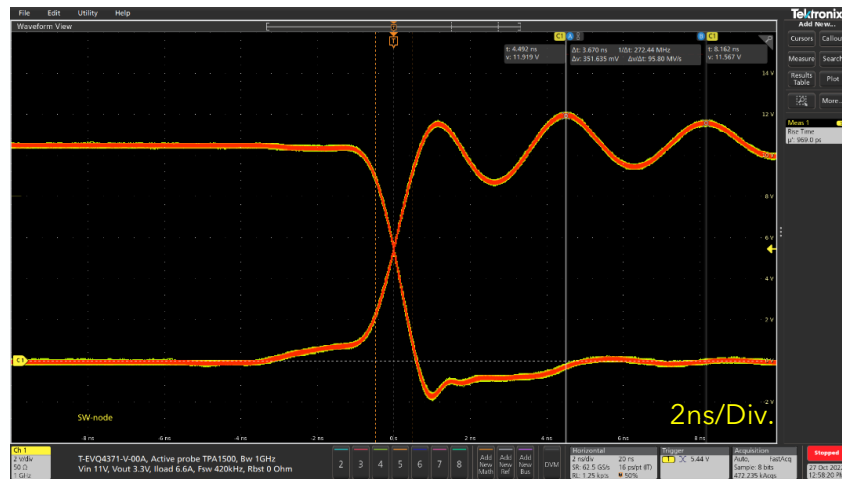
- $R_{BST}=0\Omega$
- Risetime 922ps
- Ringing frequency 270-300MHz

MPSゲートドライブテクノロジー: Quiet-FET™



2-Step Turn ON

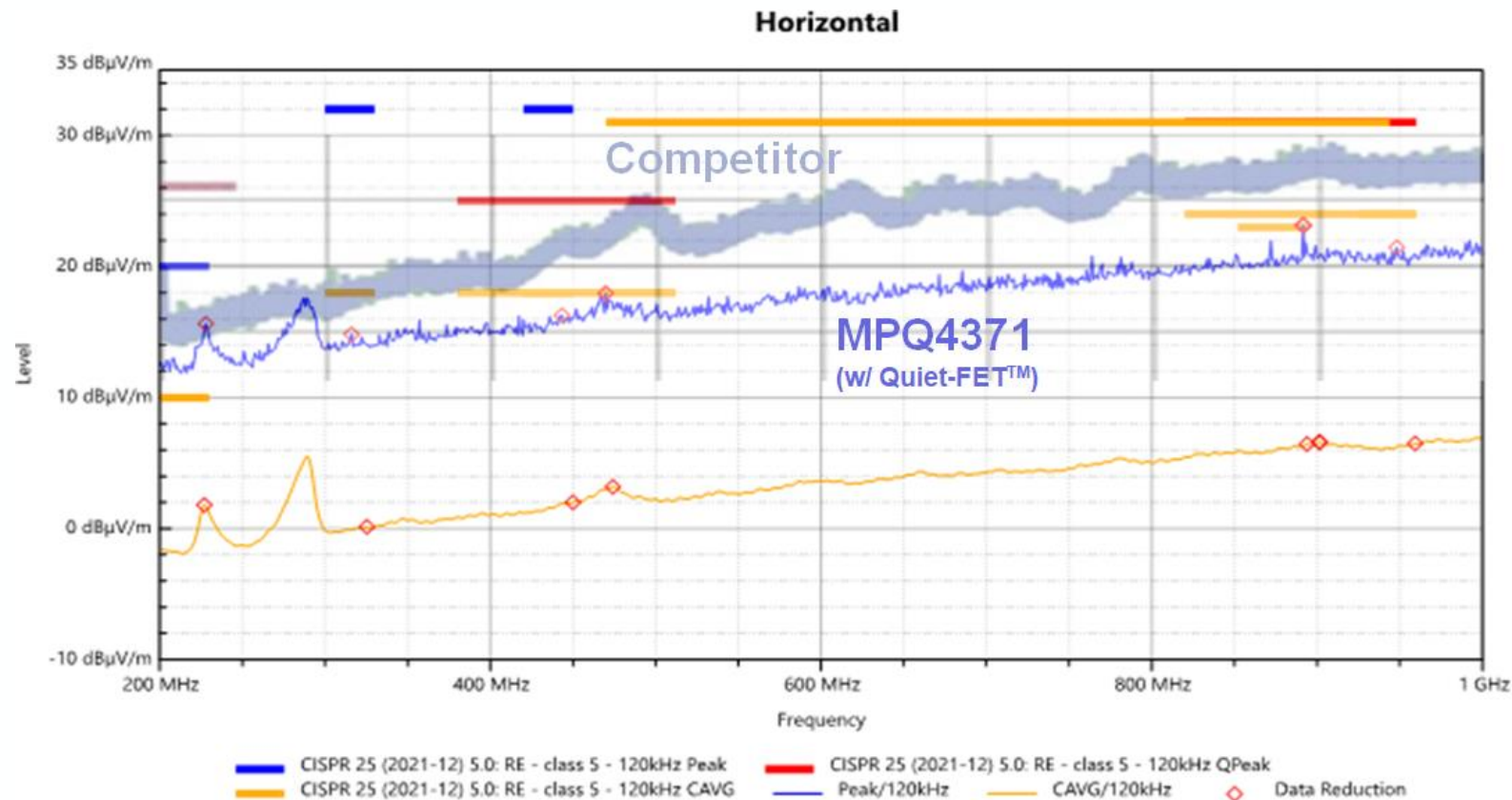
- ✓ スムースなSW dv/dt
- ✓ ノイズ放射低減
- ✓ 低い共振周波数
- ✓ Eff vs Noise 最適設計



w/ Quiet-FET™ ゲートドライブ
11V to 3.3V, 6.6A, SSFM, 2.2MHz

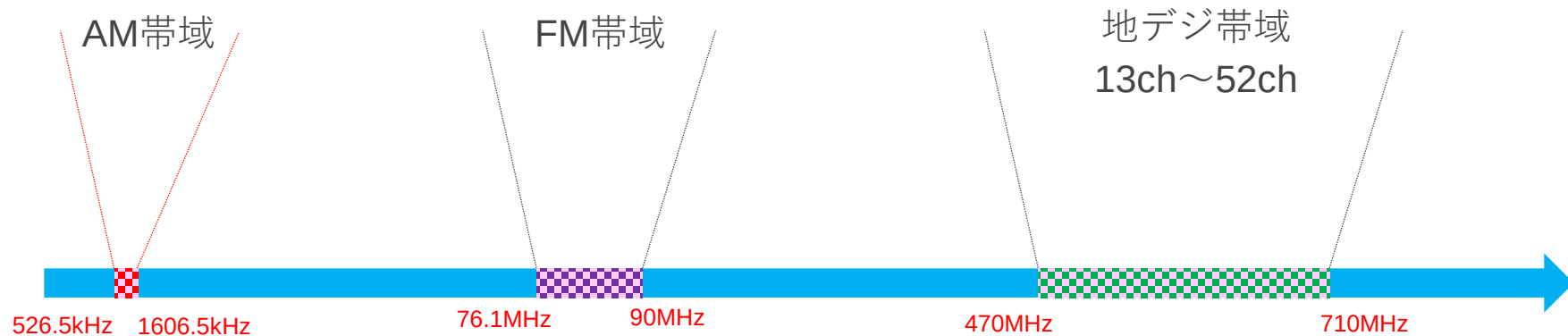
- $R_{BST}=0\Omega$
- Risetime 922ps
- Ringing frequency 270-300MHz

CISPR25テスト結果: Quiet-FET™



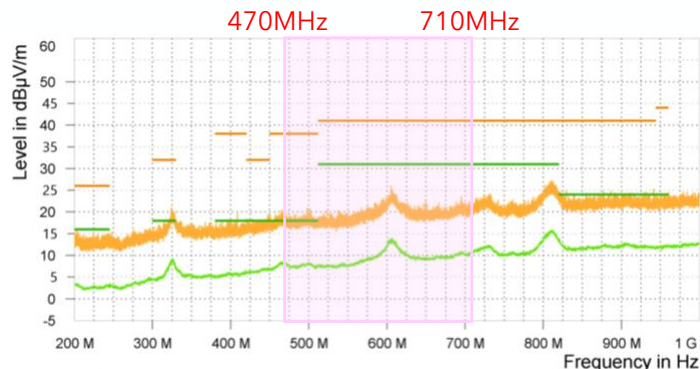
付録: 地デジ帯ノイズ対策

周波数帯域一覽

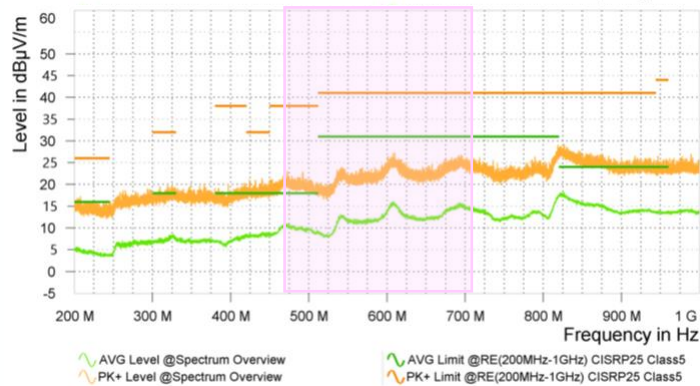


さらなる地デジ帯域ノイズ低減

Radiated Emission
200MHz-1GHz
(Horizontal)



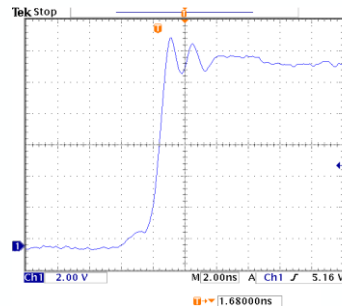
Radiated Emission
200MHz-1GHz
(Vertical)



- Flip Chip構造
- シンメトリックVINピン配置
- 入力ホットループ削減
- × 入力フィルタ最適設計
- × RBOOT
- × SWスルーレートコントロール

復習: ノイズ振幅低減・帯域改善 (9ページ目記載)

◆ ターンオン

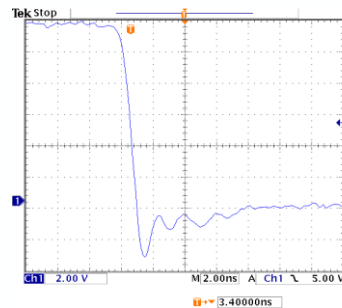


$$P_{turn_on} = \frac{1}{2} \times L_P \times I_{PR}^2$$

$$f_{turn_on} = \frac{1}{2\pi\sqrt{L_P \times C_{P2}}}$$

$$L_P = L_{P1} + L_{P2} + L_{P3} + L_{P4}$$

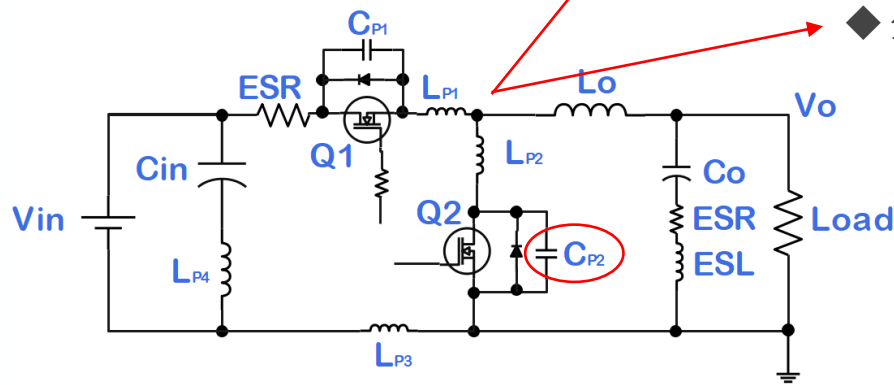
◆ ターンオフ



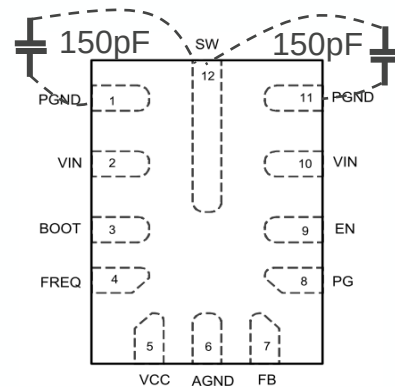
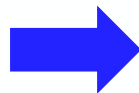
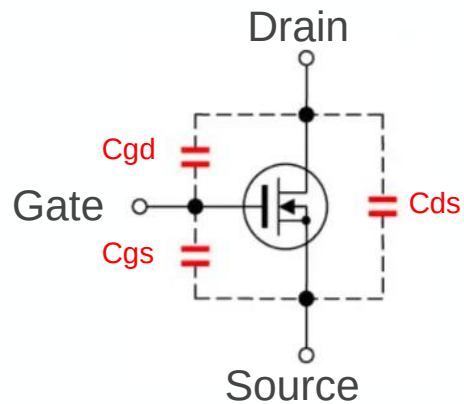
$$P_{turn_off} = \frac{1}{2} \times L_P' \times I_P^2$$

$$f_{turn_off} = \frac{1}{2\pi\sqrt{L_P \times C_{P1}}}$$

$$L_P' = L_{P1} + L_{P2}$$

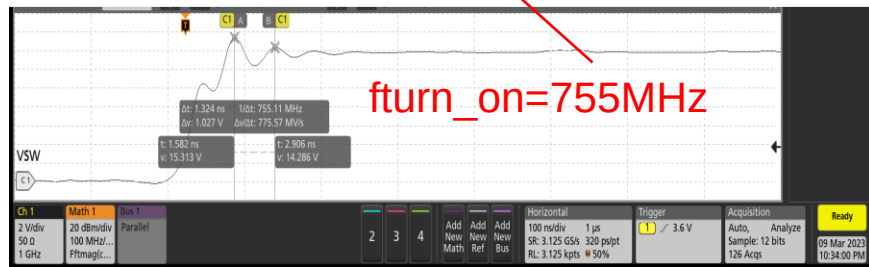
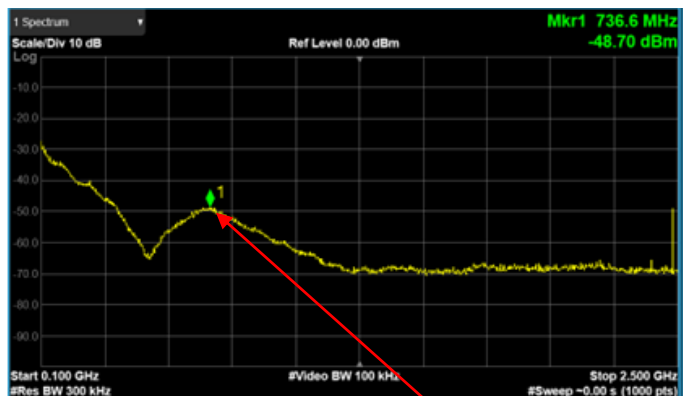


CP2(Cds: ドレイン - ソース間容量)

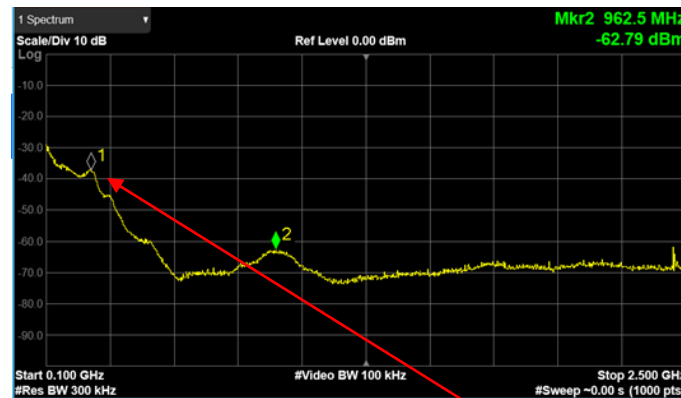


Cds容量追加効果確認

◆オリジナルIC



◆Cds=150pF x 2 追加



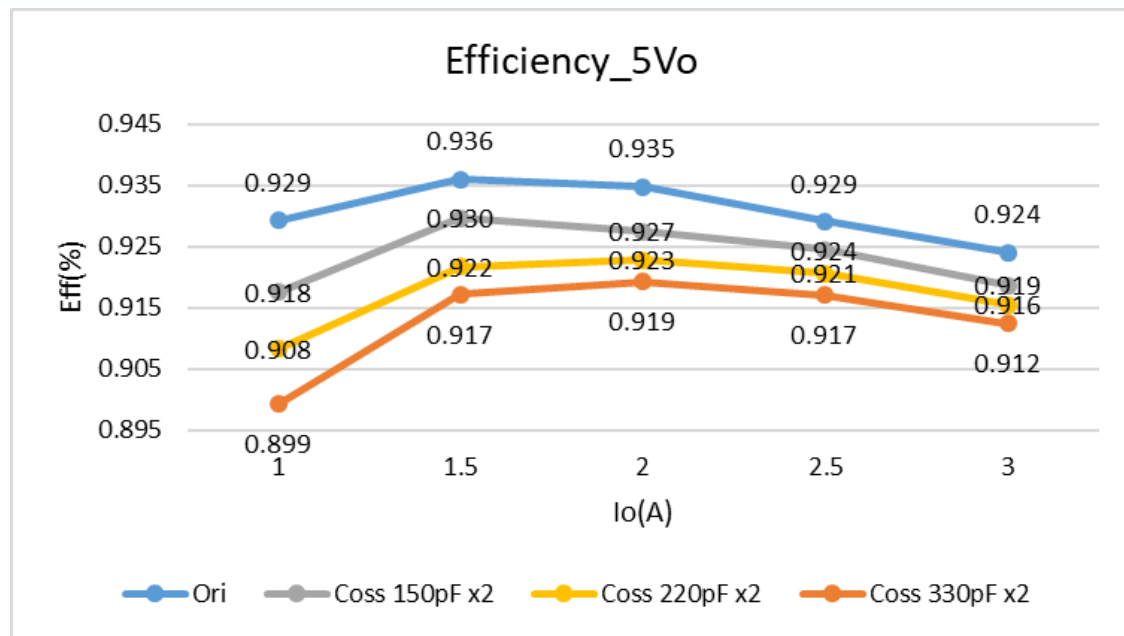
✓ Cds容量追加によりスイッチングの共振周波数を地デジ帯域から回避

Cds容量追加の注意事項

• Coss損 : P_{Coss}

※Coss = C_{ds} + C_{gd}

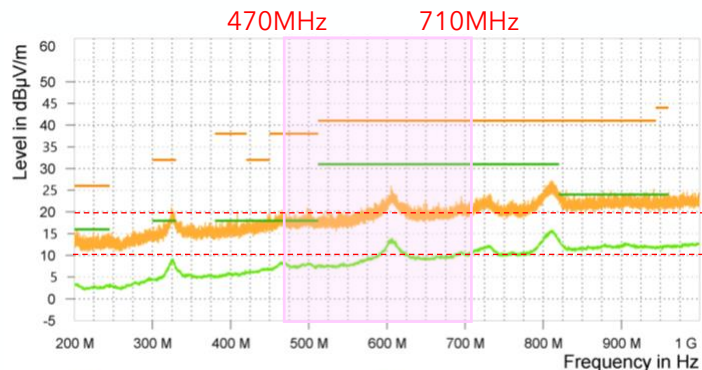
$$P_{\text{Coss}}(V_{\text{in}}) = \frac{1}{2} \times C_{\text{oss}} \times V_{\text{in}}^2 \times f_{\text{sw}}$$



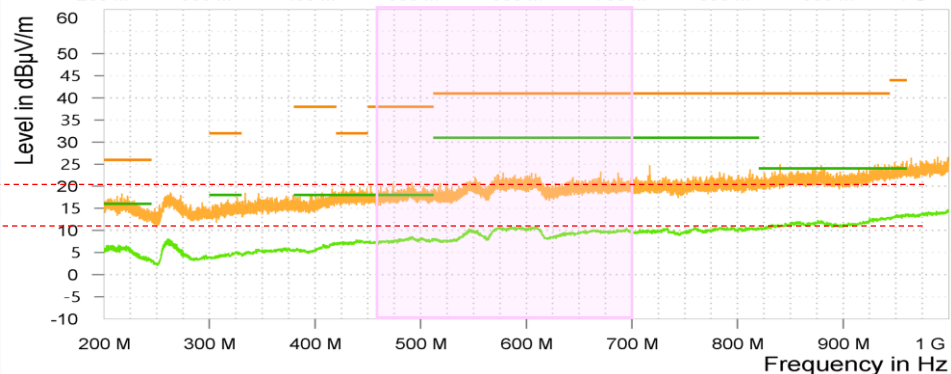
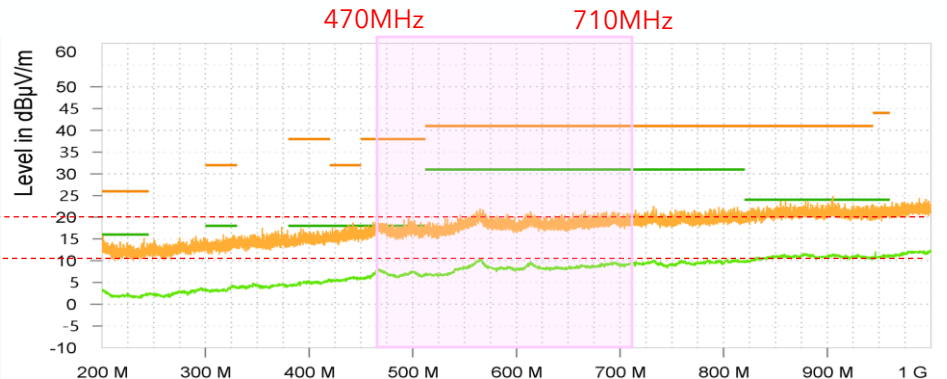
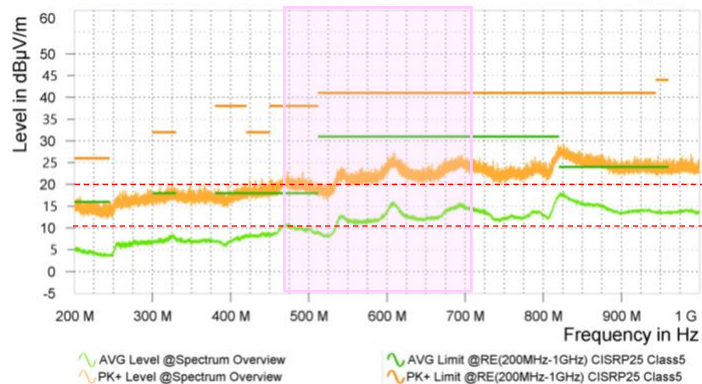
✓Cds追加によりスイッチ素子のCoss損失が増加 => 効率低下

CISPR25テスト結果: 地デジ帯域

Radiated Emission
200MHz-1GHz
(Horizontal)



Radiated Emission
200MHz-1GHz
(Vertical)



結論

- ✓ DC/DCコンバータのノイズ発生源およびノイズフローを理解し、ノイズ対策を実施する必要がある。
- ✓ 問題となっているノイズ振幅、ノイズ帯域を明確にする必要がある。
- ✓ 問題となっているノイズ振幅・ノイズ帯域に最適な振幅低減、帯域改善を実施する必要がある。
- ✓ 具体的なノイズ低減、ノイズ帯域改善としては、

Flip Chip構造

シンメトリックVINピン配置

入力ホットループ削減

入力フィルタ最適設計

RBOOT追加

SWスルーレートコントロール

CP2(Cds)調整